

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Tetsuo KAWANO, et al.

Application No.:

Group Art Unit:

Filed: March 24, 2004

Examiner:

For: TIMING ANALYSIS APPARATUS, TIMING ANALYSIS METHOD AND PROGRAM
PRODUCT

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2003-353950


Filed: October 10, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: March 24, 2004

By: 
H. J. Staas
Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 1 4 日
Date of Application:

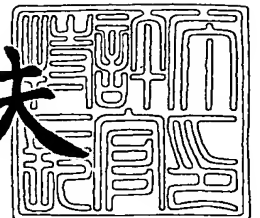
出 願 番 号 特 願 2 0 0 3 - 3 5 3 9 5 0
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 5 3 9 5 0]

出 願 人 富 士 通 株 式 会 社
Applicant(s):

2 0 0 4 年 1 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 1 1 2 0 1 7

【書類名】 特許願
【整理番号】 0340769
【提出日】 平成15年10月14日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 17/50
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
 内
 【氏名】 河野 哲雄
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
 内
 【氏名】 吉川 聡
【発明者】
 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエ
 スアイ株式会社内
 【氏名】 細野 敏克
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
 内
 【氏名】 一ノ瀬 茂則
【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
 内
 【氏名】 米田 高志
【特許出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
【代理人】
 【識別番号】 100090273
 【弁理士】
 【氏名又は名称】 國分 孝悦
 【電話番号】 03-3590-8901
【手数料の表示】
 【予納台帳番号】 035493
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9908504

【書類名】 特許請求の範囲**【請求項 1】**

入力される回路情報に基づいて半導体集積回路のタイミング解析を行うタイミング解析装置であって、

上記半導体集積回路内の解析対象とするパスにおけるゲートの段数に応じて、当該各ゲートにおける遅延時間のばらつきを相殺した上記解析対象とするパスにおける遅延時間のばらつき係数を算出する係数演算部と、

上記算出したばらつき係数及び上記回路情報に基づいて、上記解析対象とするパスでのタイミング解析を行う第 1 のタイミング解析部とを備えることを特徴とするタイミング解析装置。

【請求項 2】

上記係数演算部は、上記回路情報に基づいて上記解析対象とするパスにおけるゲート段数に応じた遅延時間の変動量を示す段数係数を算出する段数係数演算部と、

上記回路情報に基づいて上記解析対象とするパス全体での遅延時間のばらつき幅を算出するばらつき幅演算部と、

上記算出した段数係数及び上記遅延時間のばらつき幅に基づいて、上記解析対象とするパスにおける遅延時間のばらつき係数を算出するばらつき係数演算部とを備えることを特徴とする請求項 1 記載のタイミング解析装置。

【請求項 3】

パスにおける任意のゲート段数と上記段数係数とを対応させた段数係数テーブルを有し

、
上記段数係数演算部は、上記段数係数テーブルを参照し上記解析対象とするパスにおけるゲート段数に応じた段数係数を得ることを特徴とする請求項 2 記載のタイミング解析装置。

【請求項 4】

上記回路情報が入力され、上記解析対象とするパスにおける各ゲートの遅延時間に係る遅延情報を当該回路情報から抽出する情報入力部をさらに備え、

上記係数演算部は、上記抽出された各ゲートの遅延情報に基づいて上記解析対象とするパスにおける遅延時間のばらつき係数を算出することを特徴とする請求項 1～3 の何れか 1 項に記載のタイミング解析装置。

【請求項 5】

上記第 1 のタイミング解析部は、上記算出したばらつき係数及び上記回路情報に基づいて、上記解析対象とするパスにて予め規定されているタイミング条件を満足するか否かを検証することを特徴とする請求項 1～4 の何れか 1 項に記載のタイミング解析装置。

【請求項 6】

上記回路情報に基づき、上記解析対象とするパスにおける各ゲートの遅延時間のばらつきを累積して上記解析対象とするパスでのタイミング解析を行う第 2 のタイミング解析部と、

上記第 2 のタイミング解析部から供給されるタイミング解析の結果に基づいて、予め規定されているタイミング条件を満足するか否かを判定する判定部とをさらに備え、

上記係数演算部は、上記判定部にてタイミング条件を満足しないと判定された場合のみ、上記解析対象とするパスにおける遅延時間のばらつき係数を算出することを特徴とする請求項 1～5 の何れか 1 項に記載のタイミング解析装置。

【請求項 7】

入力される回路情報に基づいて半導体集積回路のタイミング解析を行うタイミング解析方法であって、

上記回路情報が入力され、上記半導体集積回路内の解析対象とするパスにおける各ゲートの遅延時間に係る遅延情報を当該回路情報から抽出する遅延情報抽出ステップと、

上記解析対象とするパスにおけるゲートの段数に応じて、当該各ゲートにおける遅延時間のばらつきを相殺した上記解析対象とするパスにおける遅延時間のばらつき係数を、上

記遅延情報抽出ステップにて抽出された上記遅延情報に基づいて算出する係数演算ステップと、

上記係数演算ステップにて算出したばらつき係数及び上記回路情報を用いて、上記解析対象とするパスでのタイミング解析を行う第1のタイミング解析ステップとを有することを特徴とするタイミング解析方法。

【請求項8】

上記遅延情報抽出ステップにて抽出された上記遅延情報に基づいて、上記解析対象とするパスにおける各ゲートの遅延時間のばらつきを累積して上記解析対象とするパスでのタイミング解析を行う第2のタイミング解析ステップと、

上記第2のタイミング解析ステップでの解析結果に基づいて、予め規定されているタイミング条件を満足するか否かを判定する判定ステップとをさらに有し、

上記判定ステップにてタイミング条件を満足しないと判定された場合のみ、上記係数演算ステップを実行することを特徴とする請求項7記載のタイミング解析方法。

【請求項9】

半導体集積回路内の解析対象とするパスにおける各ゲートの遅延時間に係る遅延情報を、当該半導体集積回路の回路情報から抽出する遅延情報抽出ステップと、

上記解析対象とするパスにおけるゲートの段数に応じて、当該各ゲートにおける遅延時間のばらつきを相殺した上記解析対象とするパスにおける遅延時間のばらつき係数を、上記遅延情報抽出ステップにて抽出された上記遅延情報に基づいて算出する係数演算ステップと、

上記係数演算ステップにて算出したばらつき係数及び上記回路情報を用いて、上記解析対象とするパスでのタイミング解析を行う第1のタイミング解析ステップとをコンピュータに実行させるためのプログラム。

【請求項10】

上記遅延情報抽出ステップにて抽出された上記遅延情報に基づいて、上記解析対象とするパスにおける各ゲートの遅延時間のばらつきを累積して上記解析対象とするパスでのタイミング解析を行う第2のタイミング解析ステップと、

上記第2のタイミング解析ステップでの解析結果に基づいて、予め規定されているタイミング条件を満足するか否かを判定する判定ステップとを実行させ、

上記判定ステップにてタイミング条件を満足しないと判定された場合のみ、上記係数演算ステップを実行させることを特徴とする請求項9記載のプログラム。

【書類名】明細書

【発明の名称】タイミング解析装置、タイミング解析方法及びプログラム

【技術分野】

【0001】

本発明は、半導体集積回路のタイミング解析装置、タイミング解析方法及びプログラムに関し、特に半導体集積回路におけるスタティック・タイミング解析に用いて好適なものである。

【背景技術】

【0002】

従来、LSI等の半導体集積回路、特にデジタル回路のタイミング検証を行う手法として、スタティック・タイミング解析（STA）が用いられてきた。スタティック・タイミング解析は、論理的に実際の動作に即するようにして行う回路シミュレーションや論理シミュレーションとは異なり、回路中の素子等に対してそれぞれ割り当てられたディレイに基づき回路のタイミング検証が行われる。

【0003】

すなわち、スタティック・タイミング解析は、テストパターン等を作成したりする必要がなく、パス（信号の伝達経路）における各素子等のディレイを累積してタイミング検証を行っている。スタティック・タイミング解析は、検証に要する時間が短く、かつ一度にチップ全体を包括的に解析できるため、最近では殆どの半導体集積回路の設計の検証装置の一つとしてスタティック・タイミング解析装置が用いられている。

【0004】

ここで、通常、半導体集積回路内部においては素子の特性にばらつきがあり、このばらつきを考慮してスタティック・タイミング解析を実施する必要がある。現在、一般的にスタティック・タイミング解析は、素子のディレイに一律の係数を掛けることにより素子毎にばらつきを表現して実施されている（例えば、特許文献1、特許文献2参照。）。このように素子毎にディレイのばらつきを表現し、チップ内のばらつきが発生しても半導体集積回路が正常に動作可能であるか否かの検証が行われている。

【0005】

例えば、従来のスタティック・タイミング解析において、ワースト条件での半導体集積回路のタイミング検証は、以下の式（19）、式（20）で示される条件を満足するか否かを検証することにより行われている。ここで、ワースト条件は、回路が低速で動く条件であり、プロセス（P）が低速、温度（T）が高く、電圧（V）が低い場合に相当する。

【0006】

【数1】

$$\text{Cycle_Time} + \text{Clock_path_time} \times \text{ocv_worst} - \text{Data_path_time} - \text{Setup_time} > 0 \quad \dots (19)$$

$$\text{Data_path_time} \times \text{ocv_worst} - \text{Clock_path_time} - \text{Hold_time} > 0 \quad \dots (20)$$

【0007】

同様に、ベスト条件での半導体集積回路のタイミング検証は、以下の式（21）、式（22）で示される条件を満足するか否かを検証することにより行われている。ベスト条件は、回路が高速で動く条件であり、プロセス（P）が高速、温度（T）が低く、電圧（V）が高い場合に相当する。

【0008】

【数2】

$$\text{Cycle_Time} + \text{Clock_path_time} - \text{Data_path_time} \times \text{ocv_best} - \text{Setup_time} > 0 \quad \dots (21)$$

$$\text{Data_path_time} - \text{Clock_path_time} \times \text{ocv_best} - \text{Hold_time} > 0 \quad \dots (22)$$

【0009】

なお、上記式(19)、式(21)はセットアップ時間を検証する条件式であり、上記式(20)、式(22)はホールド時間を検証する条件式である。

また、上記式(19)～式(22)において、Cycle_Timeはクロック信号の周期、Clock_path_timeはクロックパスディレイ、Data_path_timeはデータパスディレイ、Setup_timeはセットアップ時間の規格値、Hold_timeはホールド時間の規格値、ocv_worstはワースト条件でのばらつき係数、ocv_bestはベスト条件でのばらつき係数である。係数ocv_worst及びocv_bestは、ディレイのばらつきを表現するために予め定めた一定の値である。

【0010】

【特許文献1】特開昭63-98042号公報

【特許文献2】特開2002-222232号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかしながら、上述のように素子のディレイに一律の係数を掛けて素子毎にディレイのばらつきを表現する従来の手法では、パスにおけるゲートの段数の増加に伴い過剰にマージンをとってしまうことになるという問題があった。これは、実際のチップ内における各素子でのばらつきがガウス分布(正規分布)にそれぞれ従っており、段数の増加によりパス全体としてのディレイのばらつき度合いが低くなっていくためである。

【0012】

従来のスタティック・タイミング解析における上述した問題について、図11を参照して具体的に説明する。

図11は、従来のスタティック・タイミング解析におけるセットアップ時間の検証方法を説明するための模式図である。図11において、111は、クロック信号SCLKのソース(供給源)である。ソース111から出力されたクロック信号SCLKは、バッファ112～115を介してフリップフロップ(FF)116のクロック入力端子<CLK>に入力されるとともに、バッファ119～121を介してFF118のクロック入力端子<CLK>に入力される。

【0013】

また、データ信号DATが、FF116のデータ入力端子<DI>に入力される。FF116のデータ出力端子<DO>からクロック信号SCLKに同期して出力されるデータ信号は、組み合わせ回路117を介してFF118のデータ入力端子<DI>に入力される。

なお、図11において、DS1～DS8は各素子(説明の便宜上、組み合わせ回路も素子とする。)113～117、119～121のばらつき分布をそれぞれ示したものである。

【0014】

従来のスタティック・タイミング解析において、FF118のセットアップ時間について検証を行う際には、図6に示すようにデータパス122上のすべての素子112～117が遅い方にばらつき、かつクロックパス123上のすべての素子119～121が速い方にばらつくことを想定して行っている。

【0015】

しかしながら、このようにすべての素子が遅い方又は速い方にばらつく状態は確率的にほとんどありえない状態であり、従来のスタティック・タイミング解析は、マージンを過剰に保証した非常に厳しい条件でタイミング検証を行っていることになる。したがって、上述した従来の手法では、半導体集積回路における正確なタイミング解析を実施することができず、例えば過剰なマージンにより高速動作可能な半導体集積回路を設計することが非常に困難になる等の不都合が生じていた。

【0016】

本発明は、このような問題に鑑みて成されたものであり、パスにおけるゲート段数に応じたディレイのチップ内ばらつきを考慮して正確なタイミング解析を実施できるようにす

ることを目的とする。

【課題を解決するための手段】

【0017】

本発明のタイミング解析装置は、半導体集積回路内の解析対象とするパスにおける遅延時間のばらつき係数を算出する係数演算部と、上記解析対象とするパスでのタイミング解析を行う第1のタイミング解析部とを備える。上記係数演算部は、解析対象とするパスにおけるゲートの段数に応じ、当該各ゲートにおける遅延時間のばらつきを相殺した解析対象とするパスにおける遅延時間のばらつき係数を算出し、当該ばらつき係数及び入力される回路情報に基づいて第1のタイミング解析部がタイミング解析を行う。

上記のように構成した本発明によれば、解析対象とするパスのゲート段数に応じて、各ゲートにおける遅延時間のチップ内ばらつきが相殺され、パス全体ではばらつき度合いが緩和される。

【0018】

また、本発明のタイミング解析装置は、解析対象とするパスでのタイミング解析を行う第2のタイミング解析部と、予め規定されているタイミング条件を満足するか否かを解析結果に基づいて判定する判定部とをさらに備えるようにしても良い。第2のタイミング解析部は、回路情報に基づいて各ゲートの遅延時間のばらつきを累積し上記解析対象とするパスでのタイミング解析を行い、その結果、上記タイミング条件を満足しないと判定された場合のみ、係数演算部にて上記遅延時間のばらつき係数を算出する。

このように構成した場合には、従来と同様にして解析対象とするパスのタイミング解析を行い、タイミング条件に違反するときのみ、各ゲートにおける遅延時間のばらつきが相殺されたパス全体での遅延時間のばらつき係数を算出しタイミング解析を実施することができる。

【発明の効果】

【0019】

本発明によれば、解析対象とするパスのゲート段数に応じたパス全体での遅延時間のばらつき係数を算出し、当該ばらつき係数を用いてタイミング解析を行うことにより、ゲート段数に応じてチップ内ばらつきを考慮した正確なタイミング解析を実施することができる。したがって、適切なタイミングマージンによるタイミング解析が可能になり、例えば高速動作が要求される半導体集積回路の設計を、従来よりも容易に行うことができる。

【発明を実施するための最良の形態】

【0020】

以下、本発明の実施形態を図面に基づいて説明する。

なお、以下では、説明の便宜上、解析対象のパス（着目パス）でのタイミング解析を実行する際に考慮する遅延時間（ディレイ）のばらつきを 3σ （ σ はディレイ分布の標準偏差）として説明するが、タイミング解析を実行する際に考慮するディレイのばらつきは任意であり、例えば 4σ 、 2σ 、又は σ であっても良い。

【0021】

まず、回路のゲート段数（「回路段数」とも称す。）によるディレイ値及びその分布の変化について説明する。

図1（A）、（B）は、回路段数に応じたディレイ分布の変化を説明するための図である。

図1（A）、（B）において、11はタイミング解析の対象とするパス（信号の伝達経路）の始点であり、12はパスの終点である。例えば、始点11は信号のソース（供給源、入力端子等）に対応し、終点12はフリップフロップの入力端子に対応する。また、 $G(i)$ （ i は自然数）は、始点11と終点12との間に直列に接続されたバッファ等のゲート（素子）であり、各ゲート $G(i)$ のディレイの中心値（平均値）を μ_i 、ディレイのばらつき（標準偏差）を σ_i とする。

【0022】

また、 $\mu(j)$ （ j は自然数）は、ゲート段数が j 段の場合において始点11より入力

された信号がゲート G (1) ~ G (j) を介して終点 12 に達するまでの到達時間 (ディレイ) の分布における中心値である。ww (j) は、従来の手法で求めたワースト条件 (すべてのゲート G (i) が 3σ 分遅くなった場合) でのディレイ、3σ (j) は、パス全体で見て 3σ 分遅くなった場合のディレイであり、下記式 (1)、式 (2) に従ってそれぞれ得られる。

【0023】

【数 3】

$$\begin{aligned} ww(j) &= \sum (\mu_i + 3\sigma_i) \quad \dots (1) \\ &= \sum \mu_i + 3 \sum \sigma_i \end{aligned}$$

$$3\sigma(j) = \sum \mu_i + 3 \sqrt{\sum \sigma_i^2} \quad \dots (2)$$

【0024】

すなわち、ww (j) は各ゲート G (i) にて遅くなった 3σ 分を単純に累積して得られるディレイであり、3σ (j) はゲート段数による確率を考慮したディレイである。

【0025】

図 1 (A) に示すようにゲート段数が 2 段であるときには、従来と同様にして求めた ww (2) と、パス全体で見てゲート段数を考慮して求めた 3σ (2) との差 (到達時間のばらつきの違い) は、あまり大きくない。それに対して、図 1 (B) に示すようにゲート段数が大きいときには、ww (n) と 3σ (n) との差 (n は自然数であり、ゲート段数) が大きくなる。

【0026】

図 2 は、パス遅延のモンテカルロ解析により得られた回路段数 (ゲート段数) とパス全体でのディレイとの相関を示す図であり、横軸は回路段数、縦軸は累積遅延に対する比である。累積遅延に対する比は、パス上の各ゲートにおけるディレイ分布のばらつき 3σ 分を単純に累積したディレイ値に対する、パス全体の回路段数を考慮したディレイ値の比率であり、[3σ (j)] / [ww (j)] である。

【0027】

図 2 より明らかなように、回路段数が大きくなるに従って、累積遅延に対する比は小さくなっている。従来の手法 (累積遅延) での遅延は回路段数に関わらず “1” であるので、図 2 に実線で示した回路段数を考慮したディレイと “1” との差分 21、すなわち ww (j) と 3σ (j) との差が、従来のタイミング検証において過剰に保証していたタイミングマージンである。つまり、ww (j) と 3σ (j) との差で示される過剰保証していたタイミングマージンは、回路段数が多いほど大きくなる。

【0028】

そこで、以下に説明する本発明の実施形態においては、ゲート段数による確率を考慮したパス全体でのディレイ分布及びそのばらつき (上述した説明でのゲート段数に応じた 3σ (j)) を用いてタイミング解析を行うようにしたものである。

【0029】

(第 1 の実施形態)

図 3 は、本発明の第 1 の実施形態によるタイミング解析装置の構成例を示すブロック図である。

【0030】

図 3 において、32 は回路情報入力部であり、解析対象である半導体集積回路の回路情報 31 が入力され、その回路情報を係数演算部 33 及びタイミング解析部 37 に出力する。ここで、回路情報 31 には、例えば回路素子間の接続関係などを示すネットリスト、回路素子などのライブラリ、遅延情報等がある。

【0031】

係数演算部 33 は、入力される回路情報に基づいて、解析対象となるパス (着目パス)

におけるゲート段数に応じて、各ゲートにおけるディレイのばらつきを相殺し、ゲート段数に応じた着目パスにおける遅延時間のばらつき係数（OCV係数）を算出する。係数演算部33は、段数係数演算部34、ばらつき幅演算部35及びOCV係数算出部36を有する。

【0032】

段数係数演算部34は、回路情報を用いて着目パスにおけるゲート段数に応じたディレイの変動量を示す段数係数を計算する。段数係数は、ゲート段数による確率を考慮したパス全体でのディレイと、従来と同様にしてパス上に存在する各素子でのばらつき 3σ を単純に累積して得られるディレイとの比であり、着目パス毎に算出される。ばらつき幅演算部35は、段数係数演算部34にて算出された段数係数におけるチップ内ばらつき幅（ばらつき量）、すなわち着目パス全体でのディレイのばらつき幅を計算する。OCV係数算出部36は、回路情報、段数係数演算部34にて算出された段数係数、及びばらつき幅演算部35にて算出されたばらつき幅を用いてゲート段数を考慮したOCV係数を算出し、算出したOCV係数をタイミング解析部37に出力する。

【0033】

タイミング解析部37は、入力される回路情報及びゲート段数を考慮したOCV係数を用いて、着目パスのタイミング解析（セットアップ時間やホールド時間に係るタイミング条件についての検証）を行い、解析結果を結果出力部38に供給する。結果出力部38は、例えば図示しない表示装置に表示させたりデータとして出力したりして、タイミング解析部37より供給された解析結果を出力する。

【0034】

次に、第1の実施形態におけるタイミング解析装置の動作について説明する。

図4は、図3に示したタイミング解析装置の動作を示すフローチャートである。

まず、ステップS41にて、ネットリスト、ライブラリ、遅延情報等の回路情報31が回路情報入力部32に入力されると、回路情報入力部32は、入力された回路情報31から着目パスにおける各回路要素のディレイ値（遅延情報）を抽出する。各回路要素のディレイ値の抽出は、着目パスのデータパス及びクロックパスのそれぞれについて行う。

【0035】

また、抽出したディレイ値の中に、従来の手法で用いられゲート段数に関わらず一律の値であるOCV係数（本実施形態にて算出するOCV係数と区別するために、以下ではこの従来のOCV係数を「旧OCV係数」と称する。）が含まれている場合には、当該旧OCV係数を削除する。具体的には、抽出したディレイ値の中に旧OCV係数を乗じた情報がある場合には、これを旧OCV係数で除算し、演算結果をディレイ値とする。

【0036】

次に、ステップS42にて、係数演算部33は、ステップS41において抽出されたディレイ値を含む回路情報を用いて図5に示すOCV係数算出処理を実行し、着目パスのゲート段数に応じたOCV係数を計算する。

図5は、OCV係数算出処理の動作を示すフローチャートである。

【0037】

OCV係数算出処理を開始すると、まず、段数係数演算部34は、抽出された各回路要素のディレイ値を含む回路情報に基づいて、着目パスのデータパス側の段数係数を計算する（ステップS51）。段数係数は、ディレイ分布のばらつきによりディレイが大きくなる場合及びディレイが小さくなる場合の双方、すなわちワースト条件及びベスト条件の双方についてそれぞれ算出する。

【0038】

同様にして、段数係数演算部34は、各回路要素のディレイ値を含む回路情報を用いて、ワースト条件及びベスト条件での着目パスのクロックパス側の段数係数をそれぞれ計算する（ステップS52）。

なお、上述した説明では、段数係数演算部34は、着目パスのデータパス側の段数係数を計算した後に、クロックパス側の段数係数を計算するようにしているが、データパス側

の段数係数及びクロックパス側の段数係数の計算順序は任意である。

【0039】

次に、ばらつき幅演算部 35 は、回路情報及び算出された段数係数に基づいて、遅延計算における計算誤差を見積もる（ステップ S 53）。計算誤差は、セットアップ時間及びホールド時間に関して、ワースト条件及びベスト条件での誤差をそれぞれ見積もる。

続いて、ばらつき幅演算部 35 は、回路情報に基づいて算出されるチップ内ばらつきのワースト条件下での中心値及びそのワースト値、ベスト条件下での中心値及びそのベスト値に基づいて、チップ内ばらつきのワースト条件及びベスト条件でのゲート段数に応じたチップ内のばらつき幅を計算する（ステップ S 54）。例えば、チップ内ばらつきのワースト条件でのばらつき幅は、ワースト条件下でのワースト値とその中心値との差を算出し、それを 2 倍することにより算出される。なお、チップ内のばらつき幅は、着目パスのデータパス及びクロックパスの双方についてそれぞれ算出される。

【0040】

次に、OCV 係数算出部 36 は、上述のようにしてステップ S 51～S 54 において算出された段数係数、遅延計算の計算誤差、及びゲート段数に応じたチップ内のばらつき幅を用いて、ゲート段数を考慮した OCV 係数を算出する。ここで、OCV 係数は、セットアップ時間及びホールド時間に関して、ワースト条件及びベスト条件での OCV 係数が算出される。

以上のようにして、セットアップ時間についてワースト条件及びベスト条件での OCV 係数、及びホールド時間についてワースト条件及びベスト条件での OCV 係数、すなわち 4 つの異なる条件にそれぞれ対応する OCV 係数が算出され、OCV 係数算出処理が終了する。

【0041】

図 4 に戻り、ステップ S 43 にて、タイミング解析部 37 は、着目パスに係る回路情報及び上述のようにして算出された OCV 係数を用いて、着目パスにおけるセットアップ時間及びホールド時間に係るタイミング計算を行い、計算結果を結果出力部 38 に供給する。ここで、タイミング解析部 37 から結果出力部 38 に出力される計算結果は、着目パスに係る回路情報及び OCV 係数により求めた計算結果そのものでも良いし、従来の手法で得られる値との差分であっても良い。

解析対象とする他のパスについても、上述したステップ S 41～S 43 の処理をそれぞれ繰り返し実行した後、動作を終了する。結果出力部 38 に計算結果として供給されたタイミング解析の結果は、外部からの要求に応じて結果出力部 38 より随時出力される。

【0042】

上記図 5 に示した OCV 係数算出処理を、図 6（A）、図 6（B）を参照して具体的に説明する。

図 6（A）は、OCV 係数算出処理を説明するための回路の一例を示す図である。図 6（A）において、51 はクロック信号 SCLK のソース（例えば、信号源や入力端子）であり、解析対象とするパス（着目パス）の始点である。52、53、54、55 はバッファ等のゲートであり、ソース 51 とフリップフロップ（FF）56 のクロック入力端子＜CLK＞との間に直列に接続されている。FF 56 のデータ入力端子＜DI＞には、データ信号 DAT を供給する信号線が接続されている。

【0043】

57、58 はゲートであり、FF 56 のデータ出力端子＜DO＞と FF 59 のデータ入力端子＜DA＞との間に直列に接続されている。すなわち、FF 56 からクロック信号 SCLK に同期して出力されたデータ信号は、ゲート 57、58 を介して FF 59 に供給される。FF 59（詳しくは FF 59 のデータ入力端子＜DA＞）は、着目パスの終点に相当する。60、61、62 はゲートであり、ゲート 52 の出力端と FF 59 のクロック入力端子＜CK＞との間に直列に接続されている。なお、以下の説明では、FF もゲートとする。

【0044】

また、66はシンククロックパスを示し、63はデータパスを示している。シンククロックパス66、データパス63は、上述した説明におけるクロックパス、データパスにそれぞれ対応する。データパス63は、ソースクロックパス64（ソース51からFF56の入力まで）と内部データパス65（FF56からFF59の入力まで）とからなる。

【0045】

ここで、上記図6（A）に示す回路においてベスト条件及びワースト条件での各部のディレイを以下のように示す。

<ベスト条件>

ゲート53、54、55のディレイ…TgateCKD_bb

ゲート60、61、62のディレイ…TgateCK_bb

ゲート56、57、58のディレイ…TgateDA_bb

ゲート52と53の間、53と54の間、54と55の間、及び55と56（クロック入力端子<CLK>）の間の各配線によるディレイ…TlineCKD_bb

ゲート52と60の間、60と61の間、61と62の間、及び62と59（クロック入力端子<CK>）の間の各配線によるディレイ…TlineCK_bb

ゲート56（データ出力端子<DO>）と57の間、57と58の間、58と59（データ入力端子<DA>）の間の各配線によるディレイ…TlineDA_bb

【0046】

<ワースト条件>

ゲート53、54、55のディレイ…TgateCKD_ww

ゲート60、61、62のディレイ…TgateCK_ww

ゲート56、57、58のディレイ…TgateDA_ww

ゲート52と53の間、53と54の間、54と55の間、及び55と56（クロック入力端子<CLK>）の間の各配線によるディレイ…TlineCKD_ww

ゲート52と60の間、60と61の間、61と62の間、及び62と59（クロック入力端子<CK>）の間の各配線によるディレイ…TlineCK_ww

ゲート56（データ出力端子<DO>）と57の間、57と58の間、58と59（データ入力端子<DA>）の間の各配線によるディレイ…TlineDA_ww

【0047】

上記各ディレイの表記における添え字（bb、ww）について図6（B）を参照し説明する。

図6（B）はプロセス全体のばらつきとチップ内ばらつきを説明するための図である。

図6（B）において、PVはプロセス全体のばらつき、CVAはワースト条件でのチップ内ばらつき、CVBはベスト条件でのチップ内ばらつきを示している。pmはプロセス全体分布での中心値である。また、wm、wwは、チップ内ばらつきにおけるワースト条件での中心値、ワースト値であり、bm、bbは、チップ内ばらつきにおけるベスト条件での中心値、ベスト値である（以下の説明におけるwm、ww、bm、bbの添え字についても、上述した説明と同様の意味を持つものとする。）。

【0048】

上記図6に示した回路におけるOCV係数算出処理動作について説明する。

なお、以下においては配線によるディレイについては、ばらつきは考慮せず、TlineDA_bb、TlineDA_wwの固定値として説明する。

まず、ステップS51では、下記式（3）、式（4）を用いてデータパス63側のワースト条件における段数係数Kn_max_DA、ベスト条件における段数係数Kn_min_DAを算出する。

【0049】

【数 4】

$$Kn_max_DA = \frac{\sum(TgateCKD_ww \times ocv_w + TlineCKD_ww) + \sum(TgateDA_ww \times ocv_w + TlineDA_ww) + \sqrt{\sum(TgateCKD_wdv^2) + \sum(TgateDA_wdv^2)}}{\sum(TgateCKD_ww + TlineCKD_ww) + \sum(TgateDA_ww + TlineDA_ww)} \quad \dots (3)$$

$$TgateCKD_wdv = TgateCKD_ww - TgateCKD_wm$$

$$TgateDA_wdv = TgateDA_ww - TgateDA_wm$$

【0050】

上記式(3)において、ocv_wは各ゲートのばらつきを示すものであり、ocv_w = (TgateCKD_wm / TgateCKD_ww) 又は (TgateDA_wm / TgateDA_ww) である。

【0051】

【数 5】

$$Kn_min_DA = \frac{\sum(TgateCKD_bb \times ocv_b + TlineCKD_bb) + \sum(TgateDA_bb \times ocv_b + TlineDA_bb) - \sqrt{\sum(TgateCKD_bdv^2) + \sum(TgateDA_bdv^2)}}{\sum(TgateCKD_bb + TlineCKD_bb) + \sum(TgateDA_bb + TlineDA_bb)} \quad \dots (4)$$

$$TgateCKD_bdv = TgateCKD_bm - TgateCKD_bb$$

$$TgateDA_bdv = TgateDA_bm - TgateDA_bb$$

【0052】

上記式(4)において、ocv_bは各ゲートのばらつきを示すものであり、ocv_b = (TgateCKD_bm / TgateCKD_bb) 又は (TgateDA_bm / TgateDA_bb) である。

【0053】

同様に、ステップS52では、下記式(5)、式(6)を用いてシンククロックパス66側のワースト条件における段数係数Kn_max_CK、ベスト条件における段数係数Kn_min_CKを算出する。

【0054】

【数 6】

$$Kn_max_CK = \frac{\sum(TgateCK_ww \times ocv_w + TlineCK_ww) + \sqrt{\sum(TgateCK_wdv^2)}}{\sum(TgateCK_ww + TlineCK_ww)} \quad \dots (5)$$

$$TgateCK_wdv = TgateCK_ww - TgateCK_wm$$

【0055】

【数 7】

$$Kn_min_CK = \frac{\sum(TgateCK_bb \times ocv_b + TlineCK_bb) - \sqrt{\sum(TgateCK_bdv^2)}}{\sum(TgateCK_bb + TlineCK_bb)} \quad \dots (6)$$

$$TgateCK_bdv = TgateCK_bm - TgateCK_bb$$

【0056】

上記式(5)、式(6)において、ocv_w、ocv_bは各ゲートのばらつきを示すものであり、ocv_w = (TgateCK_wm / TgateCK_ww)、ocv_b = (TgateCK_bm / TgateCK_bb) である。

【0057】

次に、ステップS53では、下記式(7)～式(10)を用いて遅延計算における計算誤差Sw_error、Sb_error、Hw_error、Hb_errorをそれぞれ算出する。ここで、Sw_errorはセットアップかつワースト条件での計算誤差であり、Sb_errorはセットアップかつベスト条件での計算誤差である。同様に、Hw_errorはホールドかつワースト条件での計算誤差で

あり、Hb_errorはホールドかつベスト条件での計算誤差である。また、下記式(7)～式(10)において、K1、K2は所定の定数であり、式(7)～式(10)のそれぞれにおいて任意のK1、K2を設定できるものとする。

【0058】

【数8】

$$Sw_error = \{ \sum (TgateCKD_ww + TlineCKD_ww) + \sum (TgateDA_ww + TlineDA_ww) \} \times Kn_max_DA \times K2 \quad \dots (7)$$

$$- \sum (TgateCK_ww + TlineCK_ww) \times Kn_max_CK \times K1$$

$$Sb_error = \{ \sum (TgateCKD_bb + TlineCKD_bb) + \sum (TgateDA_bb + TlineDA_bb) \} \times Kn_min_DA \times K2 \quad \dots (8)$$

$$- \sum (TgateCK_bb + TlineCK_bb) \times Kn_min_CK \times K1$$

$$Hw_error = \sum (TgateCK_ww + TlineCK_ww) \times Kn_max_CK \times K1 \quad \dots (9)$$

$$- \{ \sum (TgateCKD_ww + TlineCKD_ww) + \sum (TgateDA_ww + TlineDA_ww) \} \times Kn_max_DA \times K2$$

$$Hb_error = \sum (TgateCK_bb + TlineCK_bb) \times Kn_min_CK \times K1 \quad \dots (10)$$

$$- \{ \sum (TgateCKD_bb + TlineCKD_bb) + \sum (TgateDA_bb + TlineDA_bb) \} \times Kn_min_DA \times K2$$

【0059】

続いて、ステップS54では、下記式(11)～式(14)を用いてゲート段数に応じたチップ内のばらつき幅OcvD_worst、OcvD_best、OcvC_worst、OcvC_bestをそれぞれ算出する。ここで、OcvD_worstはデータパス63におけるワースト条件でのばらつき幅であり、OcvD_bestはデータパス63におけるベスト条件でのばらつき幅である。同様に、OcvC_worstはシンククロックパス66におけるワースト条件でのばらつき幅であり、OcvC_bestはシンククロックパス66におけるベスト条件でのばらつき幅である。なお、下記式(11)、式(12)におけるocv_w、ocv_bは、式(3)、式(4)におけるocv_w、ocv_bと同じであり、式(13)、式(14)におけるocv_w、ocv_bは、式(5)、式(6)におけるocv_w、ocv_bと同じである。

【0060】

【数9】

$$OcvD_worst = 2\sqrt{\sum \{TgateCKD_ww \times (1 - ocv_w)\}^2 + \sum \{TgateDA_ww \times (1 - ocv_w)\}^2} \quad \dots (11)$$

$$OcvD_best = 2\sqrt{\sum \{TgateCKD_bb \times (ocv_b - 1)\}^2 + \sum \{TgateDA_bb \times (ocv_b - 1)\}^2} \quad \dots (12)$$

$$OcvC_worst = 2\sqrt{\sum (TgateCK_ww \times (1 - ocv_w))^2} \quad \dots (13)$$

$$OcvC_best = 2\sqrt{\sum (TgateCK_bb \times (ocv_b - 1))^2} \quad \dots (14)$$

【0061】

次に、ステップS55では、上述のようにして算出された段数係数、遅延計算の計算誤差、チップ内ばらつき幅等を用い、下記式(15)～式(18)に従って、ゲート段数を考慮したOCV係数Sw_OCV、Sb_OCV、Hw_OCV、Hb_OCVをそれぞれ算出する。ここで、Sw_OCVはセットアップかつワースト条件でのOCV係数であり、Sb_OCVはセットアップかつベスト条件でのOCV係数である。同様に、Hw_OCVはホールドかつワースト条件でのOCV係数であり、Hb_OCVはホールドかつベスト条件でのOCV係数である。

【0062】

【数 10】

$$Sw_OCV = Kn_max_CK \times \{1 + [\sum (TgateCKD_ww + TlineCKD_ww) + \sum (TgateDA_ww + TlineDA_ww)] \times (1 - Kn_max_DA) - OcvC - error\} \\ \div [\sum (TgateCK_ww + TlineCK_ww) \times Kn_max_CK] \quad \dots (15)$$

$$Sb_OCV = Kn_min_DA \times \{1 - [\sum (TgateCK_bb + TlineCK_bb) \times (Kn_min_CK - 1) - OcvD - error] \\ \div [\sum (TgateCKD_bb + TlineCKD_bb) + \sum (TgateDA_bb + TlineDA_bb)] \times Kn_min_DA\} \quad \dots (16)$$

$$Hw_OCV = Kn_max_DA \times \{1 + [\sum (TgateCK_ww + TlineCK_ww) \times (1 - Kn_max_CK) - OcvD - error] \\ \div [\sum (TgateCKD_ww + TlineCKD_ww) + \sum (TgateDA_ww + TlineDA_ww)] \times Kn_max_DA\} \quad \dots (17)$$

$$Hb_OCV = Kn_min_CK \times \{1 + [\sum (TgateCKD_bb + TlineCKD_bb) + \sum (TgateDA_bb + TlineDA_bb)] \\ \times (1 - Kn_min_DA) + OcvC + error\} \\ \div [\sum (TgateCK_bb + TlineCK_bb) \times Kn_min_CK] \quad \dots (18)$$

【0063】

以上のようにして、算出されたOCV係数Sw_OCV、Sb_OCV、Hw_OCV、及びHb_OCVを適宜選択してタイミング解析を実施する。

【0064】

以上、説明したように第1の実施形態によれば、着目パスにおけるゲート段数に応じて、各ゲートにおけるディレイのばらつきを相殺し、ゲート段数に応じた着目パスにおけるOCV係数を係数演算部33により算出し、算出したゲート段数を考慮したOCV係数を用いて、タイミング解析部37にて着目パスのタイミング解析を行う。これにより、着目パスのゲート段数に応じてパス全体でのばらつき度合いを緩和し、従来の手法において含まれていた過剰なマージンを除去することができる。したがって、半導体集積回路のチップ内ばらつきを考慮した正確なタイミング解析を実施することができ、適切なタイミングマージンによるタイミング解析が可能になる。例えば、従来に比べてタイミングにおける制約が緩和され、高速動作が要求される半導体集積回路の設計を従来よりも容易に行うことができる。

【0065】

(第2の実施形態)

次に、本発明の第2の実施形態について説明する。

以下に説明する第2の実施形態によるタイミング解析装置は、まず従来の手法でタイミング解析を行い、解析結果に基づいてタイミング条件違反となったパスについてのみに上記第1の実施形態と同様のタイミング解析を実施するようにしたものである。

【0066】

図7は、本発明の第2の実施形態によるタイミング解析装置の構成例を示すブロック図である。なお、図7において、図3に示したブロックと同一の機能を有するブロックには同一の符号を付し、重複する説明は省略する。

【0067】

図7において、71はタイミング解析部-Aであり、入力される回路情報に基づいて、解析対象となるパス(着目パス)における各ゲートのディレイのばらつきを累積して、着目パスのタイミング解析を行う。72は判定部であり、タイミング解析部-A 71の解析結果が供給され、着目パスが予め規定されたタイミング条件(セットアップ時間やホールド時間に係る条件)を満足するか判定する。また、判定部72は、判定結果を結果出力部73に出力するとともに、タイミング条件を満足していないパスに係る情報を係数演算部33に出力する。なお、タイミング解析部-B 37が本発明の第1のタイミング解析部を構成し、タイミング解析部-A 71が本発明の第2のタイミング解析部を構成する。

【0068】

次に、第2の実施形態におけるタイミング解析装置の動作について説明する。

図8は、図7に示したタイミング解析装置の動作を示すフローチャートである。

まず、ステップS81にて、図4に示したステップS41と同様にして、回路情報入力部32は、入力された回路情報31から着目パスのデータパス及びクロックパスのそれぞれ

れについて各回路要素のディレイ値（遅延情報）を抽出する。

【0069】

次に、ステップS82にて、タイミング解析部-A71は、ステップS81において抽出されたディレイ値を含む回路情報を用い、従来と同様の手法で着目パスにおける各ゲートのディレイのばらつきを累積して着目パスのタイミング解析を行う。そして、着目パスのSlack値（タイミングマージンの値）を抽出する。

【0070】

続いて、ステップS83にて、判定部72は、ステップS82において得られたSlack値に基づいてタイミング条件違反であるか（予め規定されたタイミング条件を満足するか否か）を判定する。

上記ステップS83での判定の結果、タイミング条件違反でないと判定した場合には、判定部72は解析結果を結果出力部38に供給する。一方、ステップS83での判定の結果、タイミング条件違反であると判定した場合には、判定部72は着目パスに係る情報（着目パスが識別可能な情報）を係数演算部33に出力する。

【0071】

ステップS84にて、係数演算部33は、判定部72より出力されたタイミング条件違反である着目パスに係る情報を受けると、第1の実施形態と同様にしてOCV係数算出処理を実行し、着目パスのゲート段数に応じたOCV係数を計算する。

次に、タイミング解析部-B37は、着目パスに係る回路情報及び算出されたOCV係数を用いて、着目パスにおけるセットアップ時間及びホールド時間に係るタイミング計算を行い（ステップS85）、計算結果を結果出力部38に供給する（ステップS86）。解析対象とする他のパスについても、上述した処理をそれぞれ繰り返し実行して動作を終了する。

【0072】

以上、説明したように第2の実施形態によれば、回路情報31を用い従来と同様にして各ゲートの遅延時間のばらつきを累積し着目パスのタイミング解析をタイミング解析部-A71にて行い、その結果、予め規定されているタイミング条件を満足していないと判定部72にて判定された場合のみ、上述した第1の実施形態と同様にしてゲート段数を考慮したOCV係数を用いたタイミング解析を行う。これにより、第1の実施形態と同様の効果が得られるとともに、タイミングの制約が厳しいパスのみ抽出して、ゲート段数に応じてパス全体でのばらつき度合いを緩和したタイミング解析を実施することができる。

なお、上述した第2の実施形態においては、タイミング解析部-A71とタイミング解析部-B37との2つのタイミング解析部を設けているが、1つのタイミング解析部を設けて入力する回路情報やOCV係数等を適宜切り替えるように構成しても良い。

【0073】

また、上述した第1及び第2の実施形態においては、係数演算部33内の段数係数演算部34は、入力された回路情報31に基づいてその都度段数係数を計算するようにしているが、図9（A）～図9（C）に示すようなクロックパス及びデータパスにおけるゲート段数と段数係数との対応関係を示した段数係数テーブルを作成しておき、この段数係数テーブルを参照して段数係数を求めるようにしても良い。図9（A）はクロックパスの段数係数テーブルである。また、図9（B）は、ワースト条件でのデータパスの段数係数テーブルであり、図9（C）は、ベスト条件でのデータパスの段数係数テーブルである。

図9（A）～図9（C）に示すような段数係数テーブルを用いることで、入力された回路情報31に基づいて段数係数演算部34がその都度段数係数を計算する必要がなくなり、演算処理量を低減することができタイミング解析に要する時間を短縮することができる。

【0074】

また、上述した第1及び第2の実施形態において、ゲート間の配線はディレイの分布を考えず一定の値としているが、ディレイの分布を考慮するようにしても良く、この場合にはゲートと同様に演算を行えば良い。

【0075】

なお、上述した第1及び第2の実施形態におけるタイミング解析装置は、コンピュータのCPU又はMPU、RAM、ROMなどで構成できるものであり、ROMに記憶されたプログラムが動作することによって実現でき、上記プログラムは本発明の実施形態に含まれる。また、コンピュータが上記機能を果たすように動作させるプログラムを、例えばCD-ROMのような記録媒体に記録し、コンピュータに読み込ませることによって実現できるものであり、上記プログラムを記録した記録媒体は本発明の実施形態に含まれる。上記プログラムを記録する記録媒体としては、CD-ROM以外に、フレキシブルディスク、ハードディスク、磁気テープ、光磁気ディスク、不揮発性メモリカード等を用いることができる。

また、コンピュータがプログラムを実行し処理を行うことにより、上記実施形態の機能が実現されるプログラムプロダクトは、本発明の実施形態に含まれる。上記プログラムプロダクトとしては、上記実施形態の機能を実現するプログラム自体、上記プログラムが読み込まれたコンピュータ、ネットワークを介して通信可能に接続されたコンピュータに上記プログラムを提供可能な送信装置、当該送信装置を備えるネットワークシステム等がある。

また、コンピュータが供給されたプログラムを実行することにより上記実施形態の機能が実現されるだけでなく、そのプログラムがコンピュータにおいて稼働しているOS（オペレーティングシステム）又は他のアプリケーションソフト等と共同して上記実施形態の機能が実現される場合や、供給されたプログラムの処理の全て又は一部がコンピュータの機能拡張ボードや機能拡張ユニットにより行われて上記実施形態の機能が実現される場合も、かかるプログラムは本発明の実施形態に含まれる。また、本発明をネットワーク環境で利用するべく、全部又は一部のプログラムが他のコンピュータで実行されるようになっていても良い。

例えば、第1及び第2の実施形態に示したタイミング解析装置は、図10に示すようなコンピュータ機能90を有し、そのCPU91により上記実施形態での動作が実施される。

コンピュータ機能90は、上記図10に示すように、CPU91と、ROM92と、RAM93と、キーボード（KB）99のキーボードコントローラ（KBC）95と、表示部としてのCRTディスプレイ（CRT）100のCRTコントローラ（CRTC）96と、ハードディスク（HD）101及びフレキシブルディスク（FD）102のディスクコントローラ（DKC）97と、ネットワークインタフェースカード（NIC）98とが、システムバス94を介して互いに通信可能に接続された構成としている。

CPU91は、ROM92又はHD101に記憶されたソフトウェア（プログラム）、又はFD102より供給されるソフトウェア（プログラム）を実行することで、システムバス94に接続された各構成部を総括的に制御する。

すなわち、CPU91は、上述したような動作を行うための処理プログラムを、ROM92、HD101、又はFD102から読み出して実行することで、上記実施形態での動作を実現するための制御を行う。

RAM93は、CPU91の主メモリ又はワークエリア等として機能する。

KBC95は、KB99や図示していないポインティングデバイス等からの指示入力を制御する。CRTC96は、CRT100の表示を制御する。DKC97は、ブートプログラム、種々のアプリケーション、ユーザファイル、ネットワーク管理プログラム、及び上記実施形態における上記処理プログラム等を記憶するHD101及びFD102とのアクセスを制御する。NIC98はネットワーク103上の他の装置と双方向にデータをやりとりする。

【0076】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化のほんの一例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱すること

なく、様々な形で実施することができる。

本発明の諸態様を付記として以下に示す。

【0077】

(付記1) 入力される回路情報に基づいて半導体集積回路のタイミング解析を行うタイミング解析装置であって、

上記半導体集積回路内の解析対象とするパスにおけるゲートの段数に応じて、当該各ゲートにおける遅延時間のばらつきを相殺した上記解析対象とするパスにおける遅延時間のばらつき係数を算出する係数演算部と、

上記算出したばらつき係数及び上記回路情報に基づいて、上記解析対象とするパスでのタイミング解析を行う第1のタイミング解析部とを備えることを特徴とするタイミング解析装置。

(付記2) 上記係数演算部は、上記回路情報に基づいて上記解析対象とするパスにおけるゲート段数に応じた遅延時間の変動量を示す段数係数を算出する段数係数演算部と、

上記回路情報に基づいて上記解析対象とするパス全体での遅延時間のばらつき幅を算出するばらつき幅演算部と、

上記算出した段数係数及び上記遅延時間のばらつき幅に基づいて、上記解析対象とするパスにおける遅延時間のばらつき係数を算出するばらつき係数演算部とを備えることを特徴とする付記1記載のタイミング解析装置。

(付記3) パスにおける任意のゲート段数と上記段数係数とを対応させた段数係数テーブルを有し、

上記段数係数演算部は、上記段数係数テーブルを参照し上記解析対象とするパスにおけるゲート段数に応じた段数係数を得ることを特徴とする付記2記載のタイミング解析装置。

(付記4) 上記回路情報が入力され、上記解析対象とするパスにおける各ゲートの遅延時間に係る遅延情報を当該回路情報から抽出する情報入力部をさらに備え、

上記係数演算部は、上記抽出された各ゲートの遅延情報に基づいて上記解析対象とするパスにおける遅延時間のばらつき係数を算出することを特徴とする付記1記載のタイミング解析装置。

(付記5) 上記第1のタイミング解析部は、上記算出したばらつき係数及び上記回路情報に基づいて、上記解析対象とするパスにて予め規定されているタイミング条件を満足するか否かを検証することを特徴とする付記1記載のタイミング解析装置。

(付記6) 上記タイミング条件は、上記解析対象とするパスにおけるセットアップ時間及びホールド時間に係る条件であることを特徴とする付記5記載のタイミング解析装置。

(付記7) 上記回路情報に基づき、上記解析対象とするパスにおける各ゲートの遅延時間のばらつきを累積して上記解析対象とするパスでのタイミング解析を行う第2のタイミング解析部と、

上記第2のタイミング解析部から供給されるタイミング解析の結果に基づいて、予め規定されているタイミング条件を満足するか否かを判定する判定部とをさらに備え、

上記係数演算部は、上記判定部にてタイミング条件を満足しないと判定された場合のみ、上記解析対象とするパスにおける遅延時間のばらつき係数を算出することを特徴とする付記1記載のタイミング解析装置。

(付記8) 上記回路情報が入力され、上記解析対象とするパスにおける各ゲートの遅延時間に係る遅延情報を当該回路情報から抽出する情報入力部をさらに備え、

上記第2のタイミング解析部は、上記抽出された各ゲートの遅延情報に基づいて上記解析対象とするパスのタイミング解析を行うことを特徴とする付記7記載のタイミング解析装置。

(付記9) 入力される回路情報に基づいて半導体集積回路のタイミング解析を行うタイミング解析方法であって、

上記回路情報が入力され、上記半導体集積回路内の解析対象とするパスにおける各ゲートの遅延時間に係る遅延情報を当該回路情報から抽出する遅延情報抽出ステップと、

上記解析対象とするパスにおけるゲートの段数に応じて、当該各ゲートにおける遅延時間のばらつきを相殺した上記解析対象とするパスにおける遅延時間のばらつき係数を、上記遅延情報抽出ステップにて抽出された上記遅延情報に基づいて算出する係数演算ステップと、

上記係数演算ステップにて算出したばらつき係数及び上記回路情報を用いて、上記解析対象とするパスでのタイミング解析を行う第1のタイミング解析ステップとを有することを特徴とするタイミング解析方法。

(付記10) 上記遅延情報抽出ステップにて抽出された上記遅延情報に基づいて、上記解析対象とするパスにおける各ゲートの遅延時間のばらつきを累積して上記解析対象とするパスでのタイミング解析を行う第2のタイミング解析ステップと、

上記第2のタイミング解析ステップでの解析結果に基づいて、予め規定されているタイミング条件を満足するか否かを判定する判定ステップとをさらに有し、

上記判定ステップにてタイミング条件を満足しないと判定された場合のみ、上記係数演算ステップを実行することを特徴とする付記9記載のタイミング解析方法。

(付記11) 上記係数演算ステップは、上記回路情報に基づいて上記解析対象とするパスにおけるゲート段数に応じた遅延時間の変動量を示す段数係数を算出する段数係数演算ステップと、

上記回路情報に基づいて上記解析対象とするパス全体での遅延時間のばらつき幅を算出するばらつき幅演算ステップと、

上記段数係数演算ステップにて算出した段数係数及び上記ばらつき幅演算ステップにて算出した遅延時間のばらつき幅に基づいて、上記解析対象とするパスにおける遅延時間のばらつき係数を算出するばらつき係数演算ステップとを有することを特徴とする付記9記載のタイミング解析方法。

(付記12) 半導体集積回路内の解析対象とするパスにおける各ゲートの遅延時間に係る遅延情報を、当該半導体集積回路の回路情報から抽出する遅延情報抽出ステップと、

上記解析対象とするパスにおけるゲートの段数に応じて、当該各ゲートにおける遅延時間のばらつきを相殺した上記解析対象とするパスにおける遅延時間のばらつき係数を、上記遅延情報抽出ステップにて抽出された上記遅延情報に基づいて算出する係数演算ステップと、

上記係数演算ステップにて算出したばらつき係数及び上記回路情報を用いて、上記解析対象とするパスでのタイミング解析を行う第1のタイミング解析ステップとをコンピュータに実行させるためのプログラム。

(付記13) 上記遅延情報抽出ステップにて抽出された上記遅延情報に基づいて、上記解析対象とするパスにおける各ゲートの遅延時間のばらつきを累積して上記解析対象とするパスでのタイミング解析を行う第2のタイミング解析ステップと、

上記第2のタイミング解析ステップでの解析結果に基づいて、予め規定されているタイミング条件を満足するか否かを判定する判定ステップとを実行させ、

上記判定ステップにてタイミング条件を満足しないと判定された場合のみ、上記係数演算ステップを実行させることを特徴とする付記12記載のプログラム。

(付記14) 上記係数演算ステップは、上記回路情報に基づいて上記解析対象とするパスにおけるゲート段数に応じた遅延時間の変動量を示す段数係数を算出する段数係数演算ステップと、

上記回路情報に基づいて上記解析対象とするパス全体での遅延時間のばらつき幅を算出するばらつき幅演算ステップと、

上記段数係数演算ステップにて算出した段数係数及び上記ばらつき幅演算ステップにて算出した遅延時間のばらつき幅に基づいて、上記解析対象とするパスにおける遅延時間のばらつき係数を算出するばらつき係数演算ステップとを有することを特徴とする付記12記載のプログラム。

(付記15) 記録媒体に記録された、パスにおける任意のゲート段数と上記段数係数とを対応させた段数係数テーブルを参照して上記解析対象とするパスにおけるゲート段数に応

じた段数係数を得ることを特徴とする付記 1 4 記載のプログラム。

【図面の簡単な説明】

【0 0 7 8】

【図 1】 ゲート段数に応じたディレイ分布の変化の一例を示す図である。

【図 2】 回路段数とパス全体でのディレイとの相関を示す図である。

【図 3】 第 1 の実施形態によるタイミング解析装置の構成例を示すブロック図である。

【図 4】 第 1 の実施形態におけるタイミング解析装置の動作を示すフローチャートである。

【図 5】 O C V 係数算出処理の動作を示すフローチャートである。

【図 6】 本実施形態におけるタイミング解析の具体例を説明するための図である。

【図 7】 第 2 の実施形態によるタイミング解析装置の構成例を示すブロック図である。

【図 8】 第 2 の実施形態におけるタイミング解析装置の動作を示すフローチャートである。

【図 9】 段数係数テーブルの一例を示す図である。

【図 1 0】 タイミング解析装置を実現可能なコンピュータの一構成例を示すブロック図である。

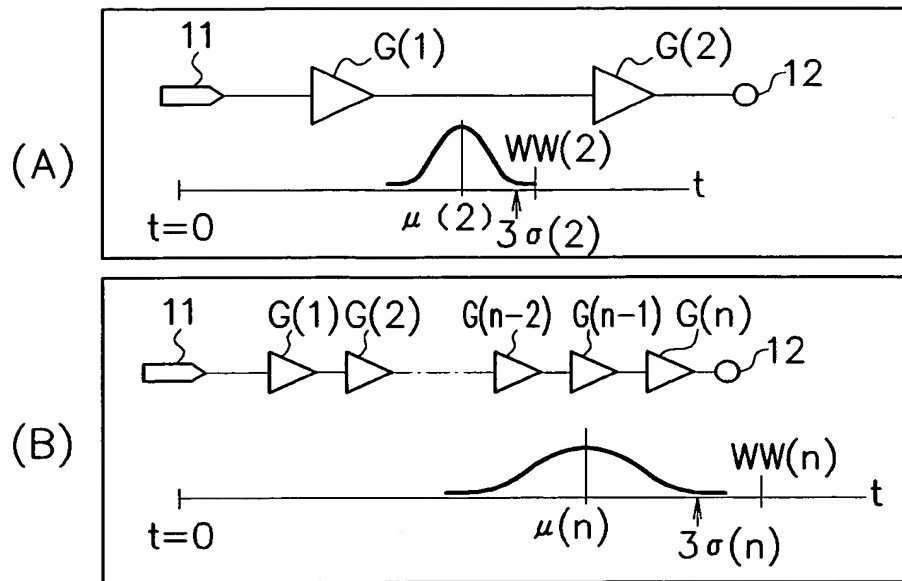
【図 1 1】 従来のスタティック・タイミング解析の問題点を説明するための図である。

【符号の説明】

【0 0 7 9】

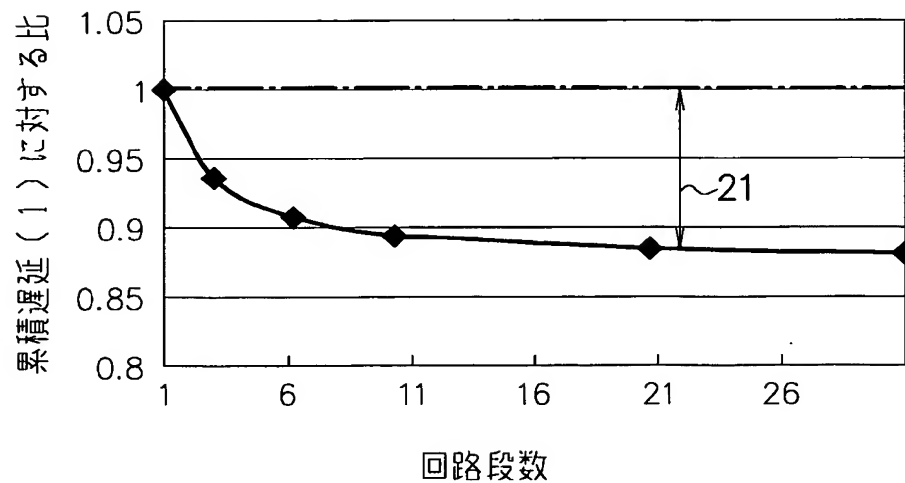
- 3 2 回路情報入力部
- 3 3 係数演算部
- 3 4 段数係数演算部
- 3 5 ばらつき幅演算部
- 3 6 O C V 係数算出部
- 3 7 タイミング解析部
- 3 8 結果出力部

【書類名】 図面
【図 1】



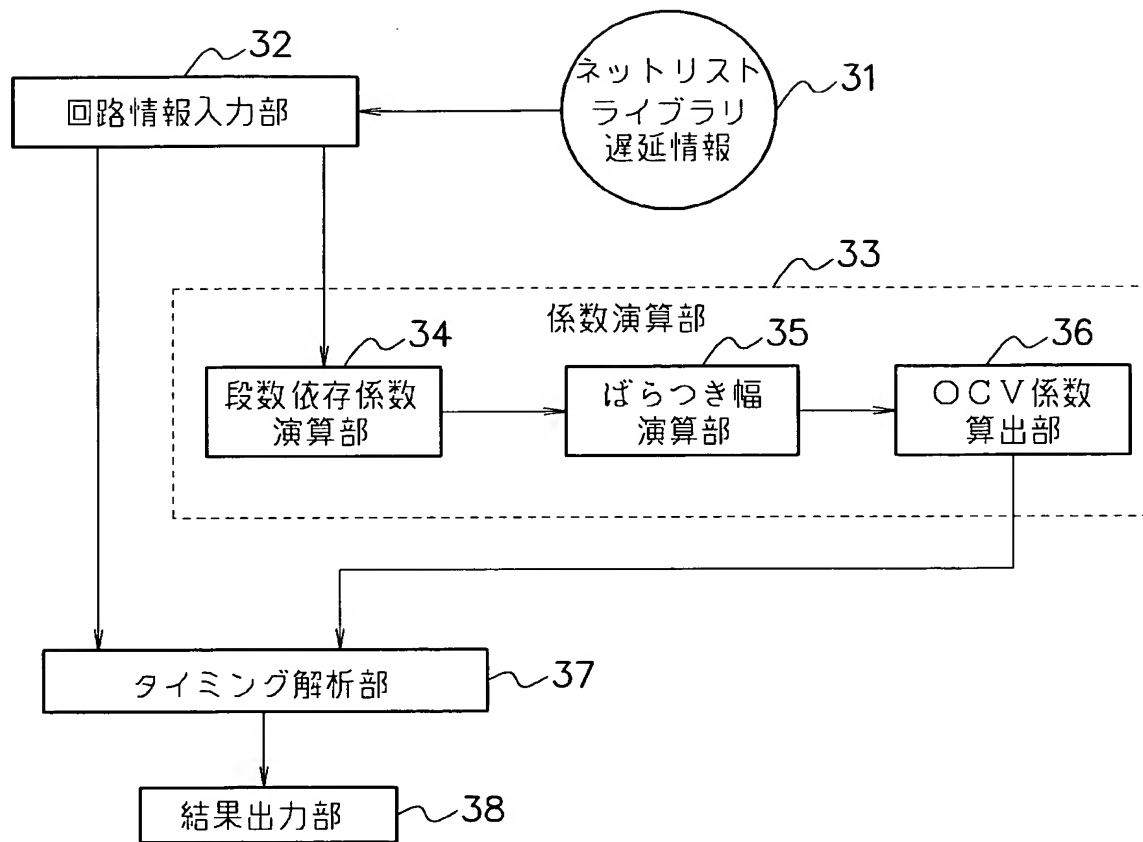
段数に応じたディレイ分布

【図 2】



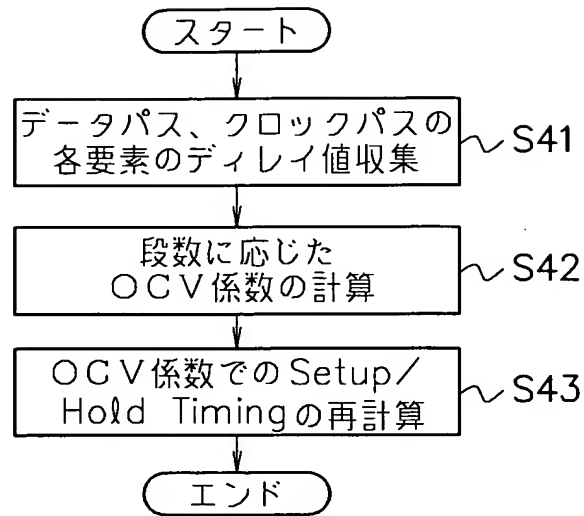
回路段数と実際の遅延値(3σ)との相関

【図 3】



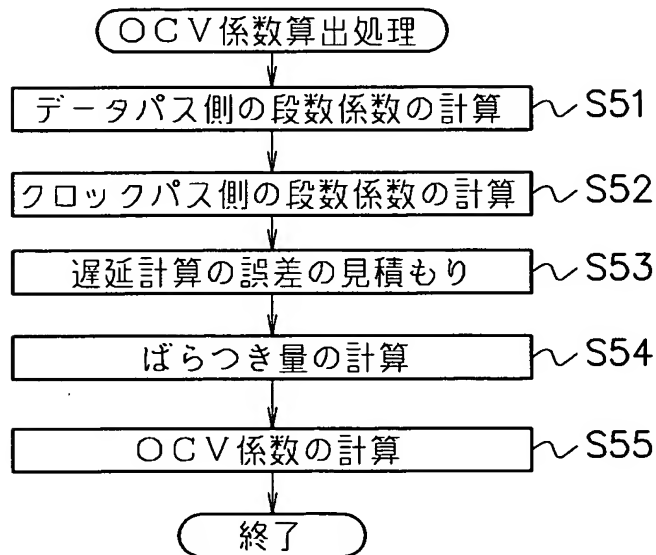
第 1 の実施形態におけるタイミング解析装置の構成例

【図 4】



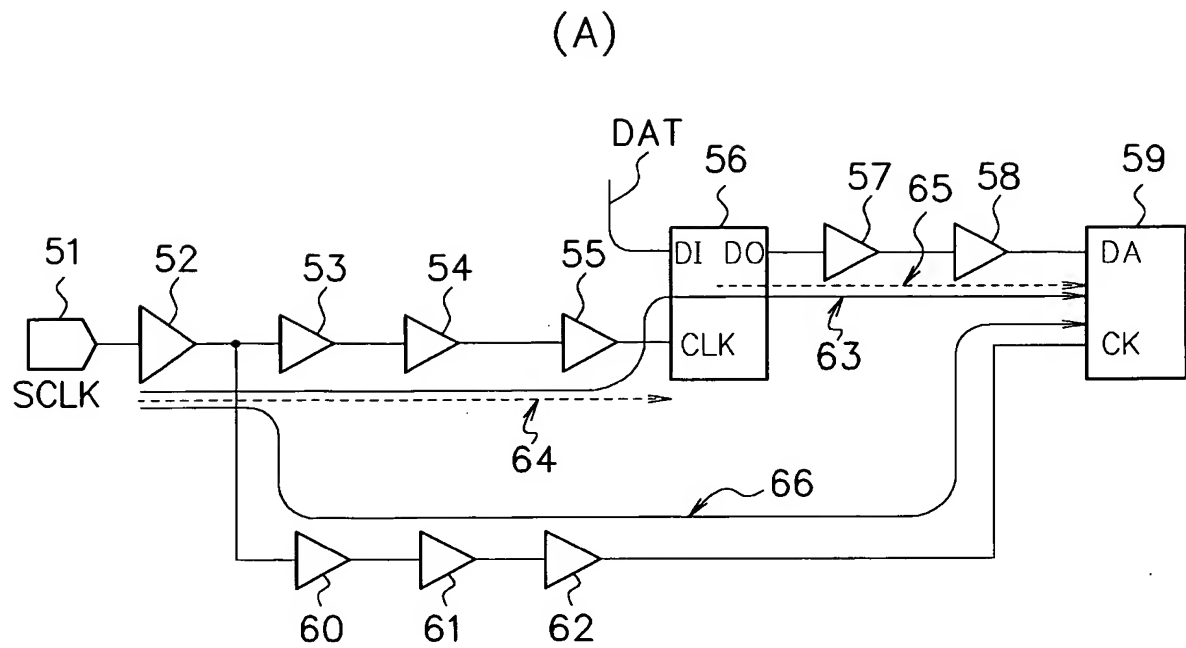
第 1 の実施形態における動作を示すフローチャート

【図 5】

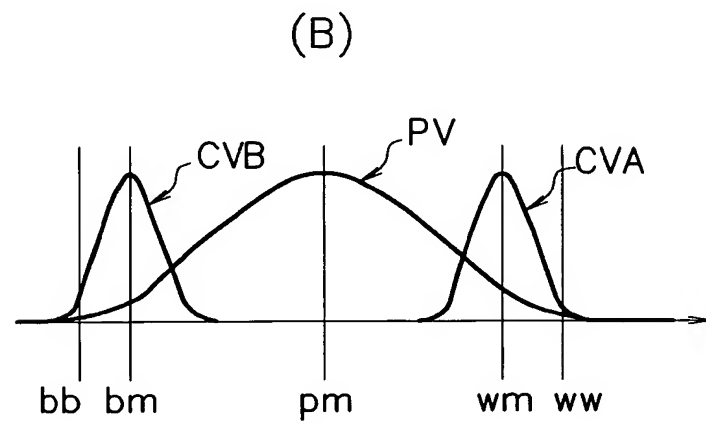


OCV 係数算出処理動作を示すフローチャート

【図 6】

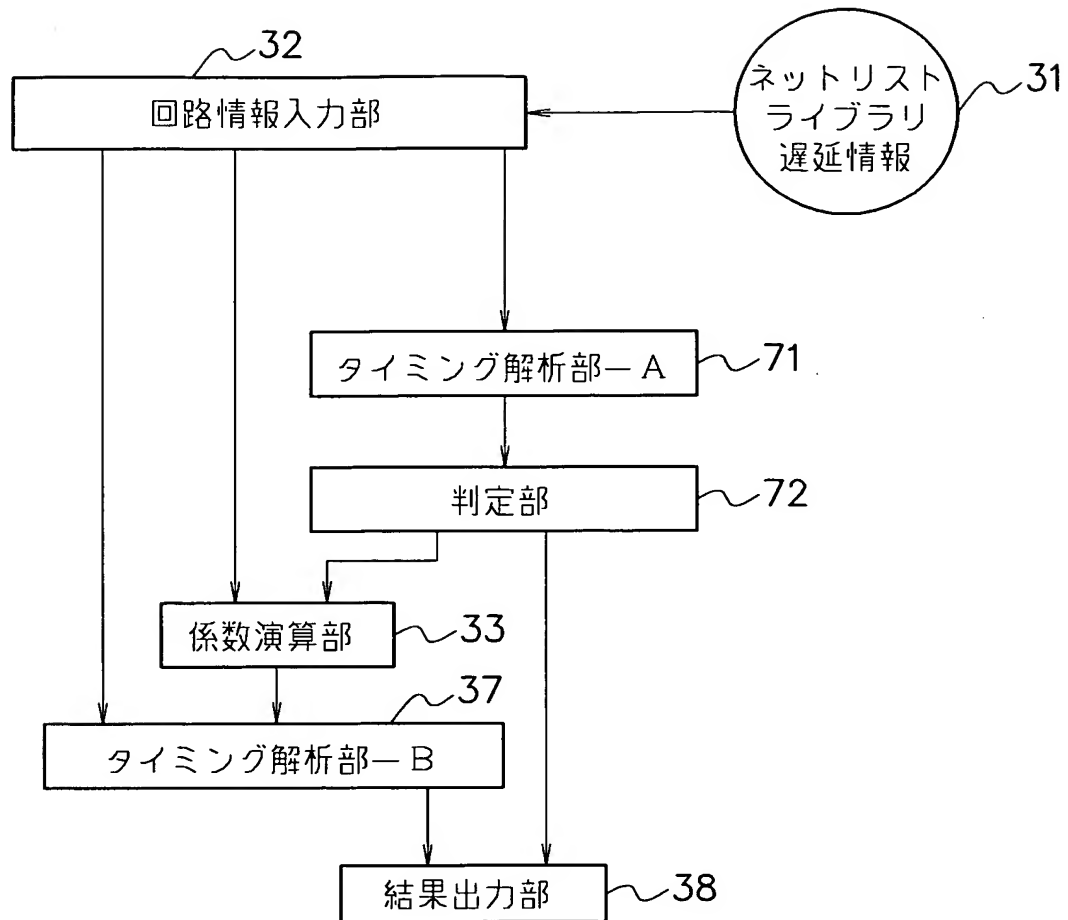


タイミング解析の具体例を説明するための図



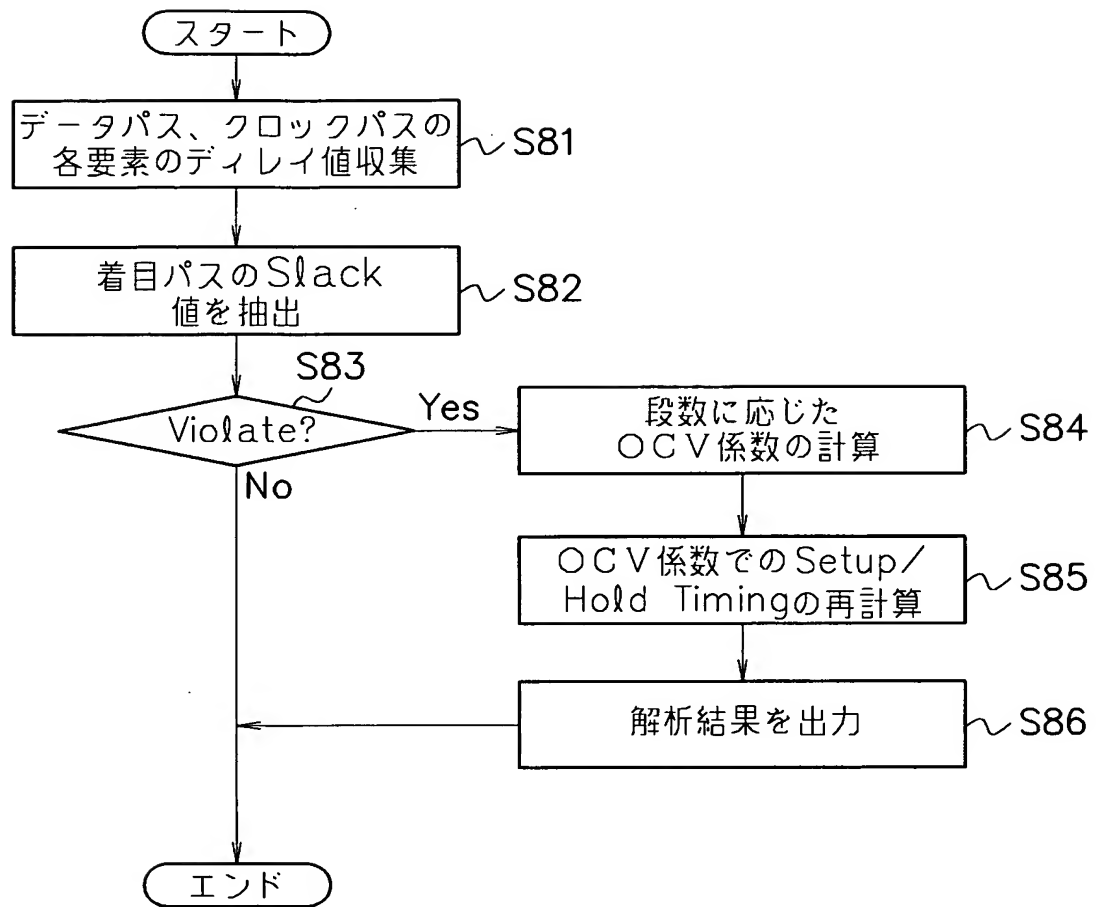
プロセス全体のばらつきとチップ内のばらつきを示す図

【図 7】



第2の実施形態におけるタイミング解析装置の構成例

【図 8】



第2の実施形態における動作を示すフローチャート

【図 9】

(A)

段数	1	3	5	10	20	40
Kn_max	1	0.94	0.92	0.90	0.89	0.88
段数	1	3	5	10	20	40
Kn_min	1.00	1.08	1.11	1.13	1.15	1.16

(B)

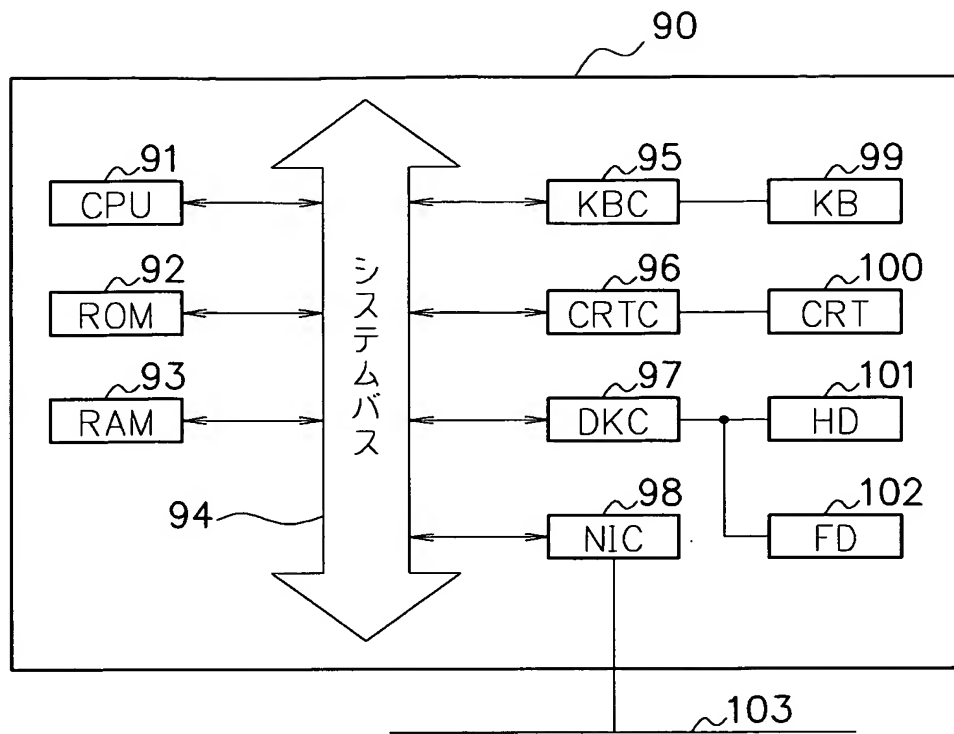
Kn_max						
F F 間	CK					
	1	3	5	10	20	40
1	0.98	0.95	0.93	0.91	0.89	0.88
3	0.93	0.92	0.91	0.90	0.89	0.88
5	0.91	0.90	0.90	0.89	0.89	0.88
10	0.89	0.89	0.89	0.88	0.88	0.87
20	0.87	0.87	0.87	0.87	0.87	0.87

(C)

Kn_min						
F F 間	CK					
	1	3	5	10	20	40
1	1.03	1.07	1.09	1.12	1.14	1.16
3	1.09	1.10	1.11	1.13	1.14	1.16
5	1.12	1.12	1.13	1.14	1.15	1.16
10	1.14	1.14	1.15	1.15	1.15	1.16
20	1.16	1.16	1.16	1.16	1.17	1.17

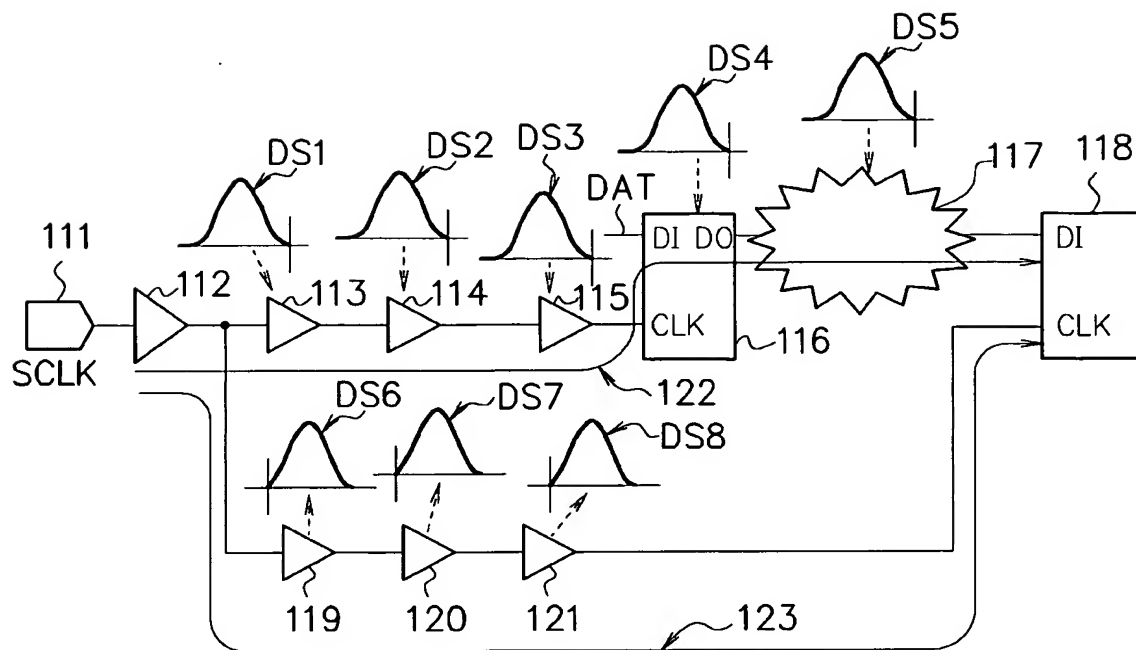
段数係数テーブルの一例

【図 10】



タイミング解析装置を実現するコンピュータの構成例

【図 11】



従来技術の問題点を説明するための図

【書類名】 要約書

【要約】

【課題】 パスにおけるゲート段数に応じたディレイのチップ内ばらつきを考慮して正確なタイミング解析を実施できるようにする。

【解決手段】 解析対象となるパス（着目パス）におけるゲート段数に応じ、各ゲートにおけるディレイのばらつきを相殺してゲート段数に応じた着目パスにおけるOCV係数を係数演算部33にて算出し、当該ゲート段数を考慮したOCV係数を用いて、タイミング解析部37にて着目パスのタイミング解析を行うようにして、着目パスのゲート段数に応じてパス全体でのばらつき度合いを緩和し、半導体集積回路のチップ内ばらつきを考慮した正確なタイミング解析を実施することができるようにする。

【選択図】 図3



特願 2 0 0 3 - 3 5 3 9 5 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社